

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-304273

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4M		
		8728-4M	H 0 1 L 27/ 10	3 2 5 M

審査請求 未請求 請求項の数5(全11頁)

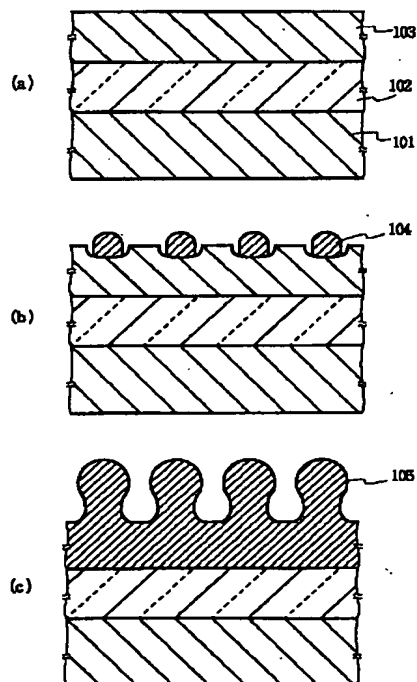
(21)出願番号	特願平4-154896	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)6月15日	(72)発明者	辰巳 徹 東京都港区芝五丁目7番1号日本電気株式 会社内
(31)優先権主張番号	特願平3-149128	(72)発明者	酒井 朗 東京都港区芝五丁目7番1号日本電気株式 会社内
(32)優先日	平3(1991)6月21日	(74)代理人	弁理士 京本 直樹 (外2名)
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平3-168541		
(32)優先日	平3(1991)7月10日		
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平3-178232		
(32)優先日	平3(1991)7月18日		
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】表面が実質的に清浄なアモルファスシリコン膜を加熱して多結晶化させる際に、結晶核104発生と結晶核成長とを異なる条件で行なう。例えば $\text{Si}_2\text{H}_6$ ガスを供給しながら結晶核を発生させ、ガスの供給を中止し加熱を結行して結晶核の成長を行ない、きのこ状の結晶粒105を得る。

【効果】これにより、結晶粒密度と結晶粒径の制御が容易となり、より微細な粒径の多結晶シリコン膜を形成でき、DRAMの高集積化にともなうキャパシタ面積の縮小に対応できる。



## 【特許請求の範囲】

【請求項1】 半導体チップの所定の絶縁膜にアモルファスシリコン膜を堆積し、前記アモルファスシリコン膜の表面が実質的に清浄な状態において所定条件で結晶核を前記アモルファスシリコン膜表面に発生させ、前記所定条件と異なる条件で前記結晶核を成長させて多結晶シリコン膜を形成して一の容量電極を形成する工程と、前記多結晶シリコン膜に誘電体膜を被着する工程と、前記誘電体膜に導電体膜を被着してもう一つの容量電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 真空中または前記アモルファスシリコン膜と実質上化学反応を起こさない気体中で所定温度で加熱して結晶核を発生させ、前記温度を下降させて前記結晶核を成長させる請求項1記載の半導体装置の製造方法。

【請求項3】 真空中または前記アモルファスシリコン膜と実質上化学反応を起こさない気体中で、所定温度で加熱しつつシリコンを含む化合物の気体を供給して結晶核を発生させ、前記化合物の気体の供給を中止して加熱を続行して前記結晶核を成長させる請求項1記載の半導体装置の製造方法。

【請求項4】 アモルファスシリコン膜を堆積後、大気中でパターニングを行ない、フッ酸水溶液で洗浄し、乾燥したのち所定圧力の $\text{Si}_2\text{H}_6$ ガスを供給しつつ結晶核を発生させる請求項3記載の半導体装置の製造方法。

【請求項5】 真空中で所定温度に加熱し、シリコンの分子線を照射しつつ結晶核の発生を行ない、前記シリコンの分子線の照射を中止して加熱を続行して前記結晶核の成長を行なう請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特にキャパシタ電極用に好適な多結晶シリコン膜の形成方法に関する。

## 【0002】

【従来の技術】近年、DRAMの高集積化に伴いセルサイズは縮小し、DRAMセルのキャパシタの占有面積は小さくなる傾向にある。そこで、十分なキャパシタの容量値を確保するため、占有面積当りの容量部面積が大きく、耐 $\alpha$ 線特性やDRAMセル間の干渉が少なくできるスタックトキャパシタやトレンチスタックトキャパシタが用いられている。しかし、64MビットのDRAMではセル面積は $2\mu\text{m}^2$ 以下になると見込まれており、これらの構造を用いたとしても、容量絶縁膜として厚さ50オングストローム（以下Åと記す）という極めて薄い酸化シリコン膜が要求される。この様に薄い酸化シリコン膜を欠陥なく均質にチップ全体に形成することは極めて難しい。そこで、前述した容量部面積を増やすことで容量絶縁膜厚を現状維持する方法が考え出されている。

【0003】この出願と同一の出願人により出願された渡辺等の日本国特許出願 特願平2-072462号明細書はLPCVDにおける多結晶シリコン膜形成温度を、通常使われている600℃ではなく550℃前後にすると、アモルファス領域から多結晶シリコンに変化する境界で、表面に半円球状の結晶粒すなわちグレインが稠密に成長し、表面積は他の温度で成長した多結晶シリコン膜の約2倍になることを示している。この多結晶シリコン膜をスタックトキャパシタの蓄積電極に適用することにより100Åの厚さの酸化シリコン膜で十分な容量値と低い洩れ電流値を得ている。しかし、この渡辺等の方法によると、半円球状の結晶粒が表面上に出現する条件は、成長温度が545℃から555℃のわずか10℃の範囲内であり、量産に用いる場合、温度制御が非常に難しい。さらに、多結晶シリコン膜形成後、隣接するキャパシタ間を分離するためにドライエッチングを行なうと蓄積電極の側壁部がエッチングされ、側壁部の凹凸が無くなってしまい、大きな容量値を実現する上で難点がある。また、本願出願人による出願中の発明の例として次のものがある。まず、辰巳は日本国特許出願 特願平2-249154号明細書（平成2年9月19日出願）で、半円球状ないしきのこ状の結晶粒を有する多結晶シリコン膜が、真空中のアモルファスシリコン膜の形成と加熱とによって得られることを示している。これらの多結晶シリコン膜をスタックトキャパシタの電極に適用することにより、厚さ100Åの酸化シリコン膜で高い容量値と低い洩れ電流値を得ている。さらに、酒井は同じく特願平3-067657号（平成3年3月8日出願）または同じく特願平3-073693号明細書（平成3年3月14日出願）で、一旦大気にさらし、表面に自然酸化膜が形成されたアモルファスシリコン膜の自然酸化膜を、フッ酸水溶液で除去したのち高真空中で加熱するか、またはイオンスパッタで除去したのち直ちに高真空中で加熱することにより、固相成長によって半円球状ないしきのこ状の結晶粒を持った多結晶シリコン膜が得られることを示している。

## 【0004】

【発明が解決しようとする課題】550℃から700℃程度のある一定の温度でアモルファスシリコン膜を加熱すると表面に結晶核が発生し、成長するが、清浄なアモルファスシリコン膜表面におけるシリコンの表面拡散速度は、固相成長速度に比べて極めて速いので、シリコン膜は表面を拡散することによって結晶核に集まり、結晶核がきのこ状に成長する。さらに、反応が進むと結晶粒が互いに接したところで粒径の上限が定まる。こうして結晶粒の平均的な寸法（平均粒径）は、単位時間あたりに発生する結晶核の密度、すなわち核発生速度に依存する。いいかえると平均粒径は基板加熱の初期段階における基板温度で決定される。基板温度が高いほど核発生速度は大きく、従って平均粒径は小さくなる。しかし、ア

モルファスシリコン膜の結晶核発生の活性化エネルギーは、シリコン原子の表面拡散の活性化エネルギーより大きいので、平均粒径を小さくするため基板温度を高くしても、十分な結晶核密度が得られる前に急激に成長してしまう。従って粒径の小さな多結晶シリコン膜を得るのは困難である。またばらつきも大きくなる。更に、温度が高いと原子のマイグレーションが大きくなるので、形状が滑らかになり、結晶粒の形状は半円球状より平坦になる。

【0005】一例をあげると、基板温度が650℃のとき平均粒径が約1500Åの多結晶シリコン膜を得ることができる。キャパシタ電極の面積が $2\mu\text{m}^2$ と小さくなってくるとキャパシタ電極に形成される結晶粒の数にばらつきがでる。また容量値は表面が平坦な場合の最大で2倍、平均的には約1.5倍である。

【0006】以上説明したように、従来技術による結晶核の発生と成長は一定温度で行なうので、粒径が小さくかつ表面積の大きな多結晶シリコン膜を再現性よく形成することは困難であった。

【0007】したがって本発明の目的は、結晶核密度およびまたは粒径を広範囲に制御可能で表面積の大きな多結晶シリコン膜を有する半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明は、半導体チップの所定の層間絶縁膜にアモルファスシリコン膜を堆積し、このアモルファスシリコン膜の表面が清浄な状態で結晶核を所定条件で発生させ、別の条件下で前記結晶核を成長させる工程を含んでいる。ここで表面が清浄な状態とは、MBE法で成膜したままの状態、成膜後窒素やアルゴンなどの不活性ガスにのみ曝された状態、成膜後の自然酸化膜をフッ酸水溶液で除去して表面を水素原子またはフッ素原子で終端し真空中または不活性ガス中でアモルファスシリコン膜の結晶化温度より低い温度で加熱して水素原子またはフッ素原子を離脱させた状態もしくは成膜後の自然酸化膜をアルゴンなどの稀ガスのイオンで照射して除去した状態などを意味している。

【0009】本発明の第1の実施の態様においては、アモルファスシリコン膜を所定温度で加熱して結晶核を発生させ、続いて温度を下降させて結晶核を成長させる。多結晶シリコン膜の平均粒径は、単位時間に発生する結晶核の密度である核発生速度と結晶核の成長速度とに依存する。核発生速度は加熱温度が高いほど大きくなるが、同時に結晶核の成長速度も増加する。結晶核の密度は、基板温度で決まる核発生速度で時間とともに増加していくが、結晶核成長速度が結晶核発生速度より大きくなるとすでに存在している結晶核の成長により新しい結晶核の発生が阻止される。従って、結晶核発生のための加熱温度は高く加熱時間は短くし、結晶核成長のための温度は低くすることにより結晶粒径の制御が容易とな

る。

【0010】本発明の第2の実施の態様では、アモルファスシリコン膜を所定温度で加熱しつつ一定時間シリコン化合物のガスに曝すことによって結晶核を発生させ、次にシリコン化合物のガスに曝することなく加熱を続行することによって結晶核の成長を行なう。シリコン化合物がアモルファスシリコン膜表面のダングリングボンドにおいて分解し結晶核が形成されるので、加熱のみによる場合より核発生速度が大きくなり、より一層結晶粒径の制御が容易となり、より微小な結晶粒を形成することができる。

【0011】本発明の第3の実施の態様においては、アモルファスシリコン膜を所定温度で加熱しつつ一定時間シリコン分子線を照射することによって結晶核を発生させ、次にシリコン分子線の照射を行わずに加熱を続行することによって結晶核を成長させる。化学反応を利用しないのでより低い温度での結晶核の発生が可能となる。

【0012】このようにして形成された表面積の大きい多結晶シリコン膜に誘電体膜を形成し、さらに導電体膜を被着することにより占有面積あたりの容量値の大きいキャパシタを再現性よく実現できるので、DRAMの集積度を一層高めることが可能となる。

【0013】

【実施例】図1および図2を参照して本発明の第1の実施例について説明する。

【0014】図1(a)に示すように、直径4インチのシリコン基板101の表面に熱酸化により厚さ2000Åの酸化シリコン膜102を形成し、MBE装置に入れ、基板温度室温にて、電子銃式シリコン蒸着器から照射速度7Å/sのシリコン分子線を照射し、厚さ4000Åのアモルファスシリコン膜103を形成する。次に、リンイオンを加速電圧50keV、注入量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度打込む。

【0015】次にランプ加熱を行なうと、図1(b)に示すように、結晶核104が発生する。この結晶核発生のための加熱温度 $T_n$ を600℃、650℃または700℃とし、加熱時間 $t_n$ をそれぞれの場合0分、5分、10分、15分または20分と変えた。続いて、550℃の加熱を時間 $t_v$ 行なうと、図1(c)に示すように、きのこ状ないし半円球状の結晶粒105に成長する。加熱時間の合計( $t_n + t_v$ )を20分とした場合の平均粒径と核発生のための加熱時間の占める割合( $t_n / (t_n + t_v)$ )との関係をFIG. 2に示す。左端のデータは一定温度550℃で多結晶化を行なった場合に相当し、右端は一定温度600℃、650℃または700℃で多結晶化を行なった場合に相当する。結晶核発生と成長とを異なる温度で行なった方が平均結晶粒径を小さくできること、加熱温度が高い方が小さくできることがこの図から分かる。

【0016】アモルファスシリコン膜を結晶化させることによって形成される結晶粒の平均粒径は、単位時間あたり発生する結晶核の密度すなわち核発生速度と、その結晶核の成長速度に依存する。核発生速度は加熱温度が高ければ高いほど大きくなるが、同時にその結晶核の成長速度も増加する。結晶核の密度は、基板温度で決まる核発生速度で増加していくが、一方で、結晶核の成長速度がその形成速度よりも大きくなってしまうと、新たな核が発生する前にすでに存在していた核が成長し、もはや結晶核は形成されなくなってしまう。従って、微小な結晶粒を形成するためには、結晶核発生のための加熱温度 $T_n$ をより高く、加熱時間 $t_n$ をより短くし、結晶核成長のための加熱温度 $T_v$ は、その温度における核形成速度が十分に小さい、 $T_n$ より低い温度 $T_v$ にすればよい。また、温度制御は急熱急冷であることが望ましい。

【0017】なお、図1(c)では多結晶シリコン粒105の形状としてのこの状のものが均一に形成されている状態が示されているが、実際にはこのように整った形状のものだけができるのではない。また粒径も同じではない。

【0018】次に、図1(d)に示すように、減圧CVD(LPCVD)法により、窒化シリコン膜を形成し、表面を酸化して容量絶縁膜106とする。この容量絶縁膜106の厚さは $\text{SiO}_2$ 膜換算で30Åないし100Åのうち適当な値を選ぶ。

【0019】次に、図2(a)に示すように、多結晶シリコン膜107を堆積し、リンをドーピングする。次いで、バターニング、電極形成を行ない、面積1mm×1mmのキャパシタを形成し、容量の測定を行なった。結果を図4に示す。但し、容量絶縁膜106の厚さは $\text{SiO}_2$ 膜換算で100Åである。概して半径粒径の微細化に伴ってキャパシタ容量が増加していることがこの図から分る。

【0020】なお、本実施例では、シリコンウェーハを対象としたが、本実施例は、表面にのみシリコンが存在するSOS基板や、さらに一般にSOI基板等にも当然利用できる。また、本実施例ではMBE装置内で電子銃式シリコン蒸着装置を用いてアモルファスシリコン膜の形成を行ったが、LPCVD法や、スパッタ法で形成し、表面の自然酸化膜を除去したアモルファスシリコン膜でも同様の効果が確認された。さらに、形成装置内の真空度は、超高真空が必要な訳ではなく、アモルファスシリコン膜の表面を清浄な状態にしたまま、加熱することが必要なのであって、アモルファスシリコン表面と反応しないガス、たとえば窒素、ヘリウム等の雰囲気内で行っても同様な現象が起こることを確かめた。なお、加熱方法は今回ランプ加熱法を用いたが、これに限らず急熱急冷法であればよい。

【0021】次に、本発明の第2の実施例について説明する。

【0022】第1の実施例と同様にして、MBE法またはLPCVD法で厚さ4000Åのアモルファスシリコン膜を形成し、リンのイオン注入を行ない、 $\text{NH}_4\text{OH}$ 、 $\text{H}_2\text{O}_2$ および $\text{H}_2\text{O}$ を1:6:20の割合で混合した洗浄液(60℃)に浸して表面の汚染を除去したのち、5%フッ酸水溶液に30秒間浸して自然酸化膜を除去する。遠心分離器または乾燥窒素ガスにより乾燥させ $\text{Si}_2\text{H}_6$ 供給用のノズルを備えた超高真空CVD装置の形成室内に入れる。形成室内の真空度は $10^{-9}$ Torrに保たれておりグラファイトヒータによる基板加熱装置を備えている。まず、ある一定の温度、好ましくは加熱のみによる核形成が急速に起こらないような、500℃ないし620℃という低温で基板加熱を行ない、そのあと核形成用の $\text{Si}_2\text{H}_6$ を流量13cccmで照射すると、図5に示すように結晶核104Åが発生する。結晶核の発生は、高速電子線回折(RHEED)によるその場(in-situ)観察で確認することができる。 $\text{Si}_2\text{H}_6$ ガスは清浄なアモルファスシリコン膜の表面に存在するダングリングボンドにおいて分解し、それによるポリシリコンの核が従来より高密度に表面に形成される。

【0023】図6に結晶核の発生が確認されるまでの時間(核発生時間)と加熱温度との関係を示す。500℃以下では核発生時間が非常に大きくなり実用的でなく、また650℃以上では速やかに結晶核が発生することが分かる。一定時間ガスに曝したのち、高真空にして加熱を続行し結晶核の成長を行なう。加熱温度を540℃から800℃まで変化させても、図6に示すように核発生時間が変化するだけで、広い温度範囲で表面にきのこ状もしくは半球状の結晶粒による凹凸を確認することができた。650℃以上では、核発生とそのあと粒径が小さく表面積の大きい結晶粒の成長が瞬時に起こる。加熱を続けると得られた多結晶シリコン膜の凹凸が滑らかになる。従って、急熱急冷の可能な装置を使用しないと表面形状の制御は困難となる。

【0024】熱による核発生が急速に起こらないような低温でも、清浄なアモルファスシリコン膜表面におけるシリコン原子の表面拡散速度は、固相成長速度に比べて極めて速く、シリコン原子は表面を拡散することによって、表面に形成された結晶核に集り、微細なきのこ状の結晶核に成長する。さらに、反応が進むと成長した結晶核がお互に接した所でアモルファスシリコンからの表面拡散によるシリコン原子の供給が無くなるので、結晶核の成長は止まり、半円球状の構造が表面に形成される。もともとの核の密度が大きいので加熱のみで形成した場合よりも、成長した結晶粒の粒径が小さくなり、低温で成長しているため、より半円球状に近い形状になる。

【0025】図7は加熱温度600℃、加熱時間45秒一定とし、 $\text{Si}_2\text{H}_6$ ガスを供給する時間と半球状結晶粒の平均粒径との関係を示したものである。 $\text{Si}_2\text{H}_6$

ガス供給時間に反比例して粒径が減少していることがこの図からわかる。これは、種になる核が $\text{Si}_2\text{H}_6$ ガスの供給時間に比例して表面上に多く発生し、これが成長してきのかたないしは半球状の結晶粒となるためである。しかし、45秒以上ガスを照射すると、結晶粒が接近しすぎて、十分な凹凸構造が形成されない。 $\text{Si}_2\text{H}_6$ ガス照射時間45秒では、粒径は300Åまで小さくすることができる。

【0026】結晶粒密度は $\text{Si}_2\text{H}_6$ 流量にも依存する。図8に $\text{Si}_2\text{H}_6$ 流量と結晶粒密度との関係を示す。ガス供給時間は5秒であり、加熱時間は45秒である。 $\text{Si}_2\text{H}_6$ 流量がある一定値を越えると、結晶粒密度はほぼ一定となる。これは、アモルファスシリコン膜表面に結合している水素原子（フッ酸水溶液洗浄などで結合する）が加熱により脱離する割合が支配的になるからであると解釈できよう。結晶粒密度および粒径制御の観点からは、このように反応律速領域を利用するのが好ましい。

【0027】図9に、600℃で流量2sccmの $\text{Si}_2\text{H}_6$ ガスを80秒間供給した場合の結晶粒径の分布を示す。加熱時間は80秒である。比較的分散が小さいといえよう。

【0028】続いて、第1の実施例と同様にして容量絶縁膜の形成を行なう。ただし、その直前の状態は、図1(c)に示したように、結晶粒105が相互に接触せず、かつ間隔が十分あいていて容量絶縁膜によって結晶粒同志が接触しないことが望ましい。これは、加熱時間の制御によって十分実現できる。

【0029】図10にキャパシタの容量と加熱温度との関係を示す。容量絶縁膜の厚さは $\text{SiO}_2$ 換算で100Å、キャパシタ面積は1mm×1mmである。本実施例のデータは、それぞれの加熱温度において、 $\text{Si}_2\text{H}_6$ の流量、供給時間および加熱時間を変えて行った実験結果のうち最高のものを選んである。同一の加熱温度および時間で $\text{Si}_2\text{H}_6$ を供給しない場合のデータを比較のため示した。

【0030】 $\text{Si}_2\text{H}_6$ ガスを流した場合には、加熱のみ行なう場合に比べて、低い温度からキャパシタの容量値が増加していることがこの図からわかる。これは、 $\text{Si}_2\text{H}_6$ ガスを流した場合には低温で核形成ができるからである。また、容量の増加は540℃から650℃までは、2.5倍であり、これ以上では下がってしまう。これは、前述のように、高温加熱の場合は極めて短時間で加熱を終えなければならないのに、本実施例では用いた基板加熱装置の都合上、これができなかったために、表面の形状が滑らかになってしまったからである。一方、加熱のみ行なう場合では、容量の増加は最大で1.5倍（650℃のとき）であり、700℃以上では下がってくる。これは、ガスによって種付けを行なう場合と同様に高温加熱によって、表面の形状が滑らかになって

しまうからである。これら2つの場合における高温での表面形状のダレは、ランプ加熱等の急熱急冷できる装置を用い、加熱時間を短くすれば防ぐことができよう。

【0031】本実施例は、第1の実施例より、微小な粒径の多結晶シリコン膜を形成することが可能であり、また広い温度範囲で大きな容量の増加を企てることができる。

【0032】なお、本実施例ではシリコンウェーハを対象としたが、本実施例は表面にのみシリコンが存在するSOS基板や更に一般にSOI基板等にも当然適用できる。さらに、本実施例では超高真空装置内で $\text{Si}_2\text{H}_6$ ガスを用いてアモルファスシリコン膜に核形成を行なったが、核形成のためのガスは $\text{SiH}_4$ 、 $\text{SiCl}_2\text{H}_2$ 等シリコンを含んだガスであれば同様な現象が起こることを確かめた。また、形成装置内の真空度は、超高真空が必要なわけではなく、アモルファスシリコン膜の表面を清浄な状態にしたまま、加熱することが必要なのであって、アモルファスシリコン膜表面と反応しないガス、例えば、窒素、ヘリウム等の雰囲気内で行なっても同様な現象が起こることを確かめた。また、LPCVD法で形成したアモルファスシリコン膜をフッ酸水溶液で清浄した場合について述べたが、アモルファスシリコン膜の形成は、MBE法によってもよい。また、自然酸化膜の除去はフッ酸水溶液に限るわけではなく、アモルファスシリコン膜の表面が清浄な状態でシリコンを含むガスに曝すことが肝要なことである。

【0033】次に、第3の実施例について説明する。

【0034】第1、第2の実施例と同様に、シリコン基板101に酸化シリコン膜102を堆積し、室温にて電子銃式シリコン蒸着器から照射速度7Å/sのシリコン分子線を照射し、酸化シリコン膜表面に厚さ4000Åのアモルファスシリコン膜を形成する。シリコン分子線の照射を中止し、ランプ加熱により、熱的な核発生の起きない程度の温度、400℃から約500℃のある一定温度に基板を加熱し、例えば、照射速度1Å/sでシリコン分子線を照射する。シリコン分子線照射中は、図11(a)に模式的に示すように、アモルファスシリコン膜203には表面原子層203Aおよび吸着原子層203Bが存在している。清浄表面を持つアモルファスシリコン膜の表面原子層203A中の原子は、核形成こそしないものの、ある活性化エネルギーE1をもって表面を拡散している。一方、吸着原子層203B中の原子もある活性化エネルギーE2で拡散しているが、その値はE1に比べて十分に小さい。そのため吸着原子は、基板温度が低いにもかかわらず、その表面で核形成し、図11(b)に示すように、微小な結晶粒204となる。シリコン分子線の照射を中止し、さらに加熱を続けると、拡散している表面原子はそれら結晶粒に捕獲され、図11(c)に示すようにきのこ状の結晶粒105をもつ多結晶シリコン膜へと成長する。こうして表面積の大きな多

結晶シリコン膜が形成される。続いて、第2の実施例と同様にして、キャパシタを形成する。

【0035】図12は、照射速度1A/sでシリコン分子線を50秒間照射した直後の結晶粒密度の、基板温度に対する関係を表したグラフである。基板温度の上昇に伴って結晶粒密度が増加し、結晶粒径は減少していることがこの図からわかる。なお、同図に示した平均結晶粒径は、結晶粒同士が接触して粒径の増加がもはや起きなくなったときの値がある。

【0036】図13は、照射速度1A/sの場合のキャパシタの容量値と基板温度の関係を表したグラフである。基板温度が高いほど、すなわち結晶核密度が高いほど、キャパシタの容量値が大きいことがわかる。またこれらの高い値は、従来の基板加熱法で形成した多結晶シリコン膜によるものの値(図4参照)に比べて高くなっている。

【0037】図14は、基板温度450℃でシリコン分子線を50秒照射した直後の結晶粒密度の、照射速度に対する関係を表したグラフである。結晶粒密度は照射密度にも依存し、照射速度を変化させることによって、結晶粒密度を十分に制御できることを示している。図15は同様にキャパシタの容量値と照射速度の関係を表したグラフである。照射速度の高いほど、すなわち結晶粒密度が高いほど、キャパシタの容量値が大きいことがわかる。またこれらの高い値は、従来の基板加熱法で形成した多結晶シリコン膜の値に比べて高くなっている。

【0038】図16に粒径分布を示す。基板温度460℃で、照射速度1A/sのシリコン分子線を30秒間照射し、更に60分間加熱したときのデータである。比較のため、アモルファスシリコン膜を真空中で560℃、1分間加熱したときのデータを示す。粒径のばらつきが著しく少なくなっている。

【0039】本実施例は、第2の実施例に比べてより低温での多結晶シリコン膜の形成が可能である。

【0040】なお、本実施例では、シリコンウェーハを対象としたが、本実施例は表面にのみシリコンが存在するSOS基板や、さらに一般にSOI基板等にも当然利用できる。また、本実施例ではMBE装置内で電子銃式シリコン蒸着装置を用いてアモルファスシリコン膜の形成を行ったが、LPCVD法やスパッタ法で形成し、表面の自然酸化膜を除去したアモルファスシリコン膜でも同様の効果が確認された。さらに、形成装置内の真空度は、超高真空が必要な訳ではなく、アモルファスシリコン膜の表面を清浄な状態にしたまま、加熱することが必要なのであって、アモルファスシリコン表面と反応しないガス、たとえば窒素、ヘリウム等の雰囲気内で行っても同様な現象が起こることを確かめた。

【0041】次に、本発明を適用して形成した半導体DRAMについて、そのDRAMセルの主要部を示す図17を参照して説明する。

【0042】P型のシリコン基板301の表面にフィールド酸化膜308を形成し、トランジスタ形成領域を区画する。トランジスタ形成領域にゲート酸化膜309を形成し、トランジスタ形成領域を横断してワード線を兼ねるゲート電極310を形成し、ゲート電極310およびフィールド酸化膜308をマスクとしてイオン注入を行ないN<sup>+</sup>型拡散層311s(ソース領域)および311d(ドレイン領域)を形成する。酸化シリコンなどの層間絶縁膜302を堆積し、コンタクト孔Cをソース領域311s上に形成する。LPCVD法などによりアモルファスシリコン膜を堆積し、パターニングを行ない、NH<sub>4</sub>OH、H<sub>2</sub>O<sub>2</sub>およびH<sub>2</sub>Oの混合液で洗浄したのちフッ酸水溶液でアモルファスシリコン膜の自然酸化膜を除去し、第2の実施例の手法により多結晶化を行ない容量蓄積電極305を形成する。多結晶化処理のとき、アモルファスシリコン膜は、ソース領域311sとの接触部から固相成長により多結晶化が進行するが、Si<sub>2</sub>H<sub>6</sub>照射による多結晶化に比べて進行が遅いので容量蓄積電極305の表面の形状に悪影響は与えない。また、アモルファスシリコン膜の表面はSi<sub>2</sub>H<sub>6</sub>ガスに均一に曝されるので、容量蓄積電極305の表面には、側面部を含めてほぼ均一に好ましい凹凸が形成される。次いで、容量絶縁膜306を形成し、多結晶シリコン膜などにより対向電極307を形成する。こうしてMOSトランジスタのソース領域に接続したキャパシタを形成することができ、集積度の高いDRAMを実現することができる。

【0043】第3の実施例を適用するときは、アモルファスシリコン膜形成後直ちに多結晶化処理を行なってからパターニングして蓄積電極を形成するのがよい。パターニング後に多結晶処理を行なうこともできるが、分子線の指向性を考慮すると、側面に凹凸を形成するのは難しいので自然酸化膜除去を省略できる手順を選んだ方がよい。

【0044】

【発明の効果】以上説明したように本発明は、表面が実質的に洗浄なアモルファスシリコン膜を加熱して多結晶化させる際に、結晶核発生と結晶核成長とを異なる条件で行なうことにより、結晶粒密度と結晶粒径の制御が容易となり、より微細な粒径の多結晶シリコン膜を形成できる。従って、DRAMの高集積化にともなうキャパシタ面積の縮小に対応でき、DRAMの集積度を一層高めることが可能となる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明のため(a)～(c)に分図して示す工程順断面図である。

【図2】図1に続いて(a)、(b)に分図して示す工程順の断面図である。

【図3】第1の実施例における平均粒径と核発生加熱時間の全加熱時間に対する割合との関係を示すグラフであ

る。

【図4】第1の実施例によるキャパシタの容量値と核発生加熱時間の全加熱時間に対する割合との関係を示すグラフである。

【図5】本発明の第2の実施例における核発生工程の説明のための半導体チップの断面図である。

【図6】第2の実施例における核発生時間と加熱温度との関係を示すグラフである。

【図7】第2の実施例における平均結晶粒径と  $\text{Si}_2\text{H}_6$  ガス照射時間との関係を示すグラフである。

【図8】第2の実施例における結晶粒密度と  $\text{Si}_2\text{H}_6$  ガス流量との関係を示すグラフである。

【図9】第2の実施例における結晶粒径の分布を示すグラフである。

【図10】第2の実施例によるキャパシタの容量値と加熱温度との関係を示すグラフである。

【図11】本発明の第3の実施例の説明のための半導体チップの断面図である。

【図12】第3の実施例における結晶粒密度と基板温度との関係を示すグラフである。

【図13】第3の実施例によるキャパシタの容量値と基板温度との関係を示すグラフである。

【図14】第3の実施例における結晶粒密度と分子線の

照射速度との関係を示すグラフである。

【図15】前記第3の実施例によるキャパシタの容量値と分子線の照射速度との関係を示すグラフである。

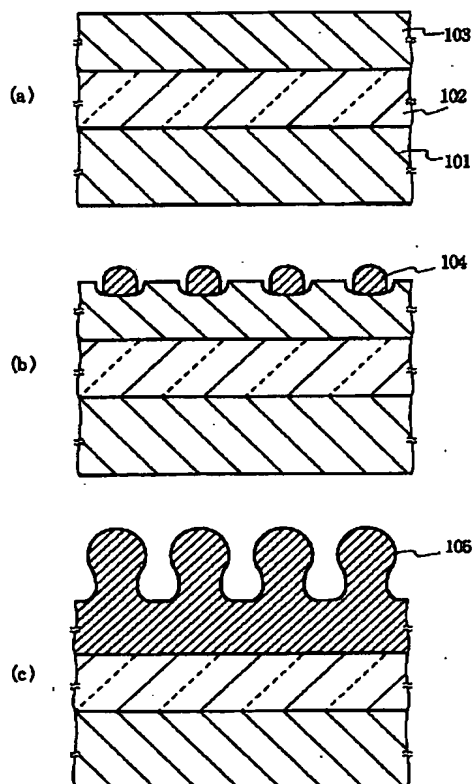
【図16】第3の実施例における結晶粒径の分布を示すグラフである。

【図17】本発明を適用して形成したDRAMセルの主要部を示す半導体チップの断面図である。

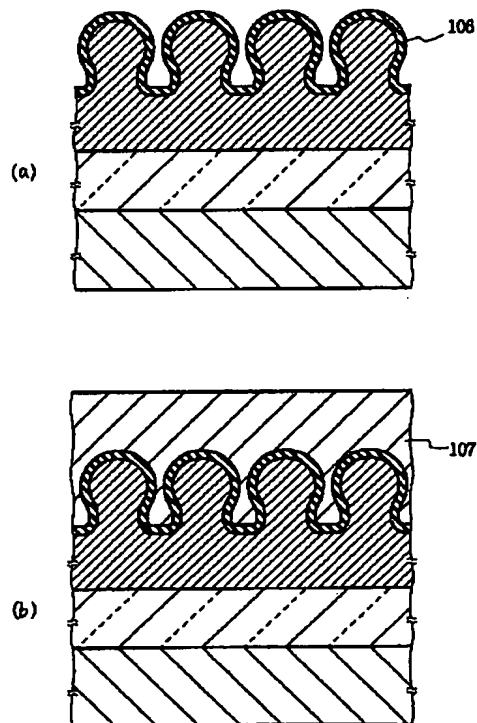
【符号の説明】

- 101, 301 シリコン基板
- 102, 302 酸化シリコン膜
- 103 アモルファスシリコン膜
- 203A 表面原子層
- 203B 吸着原子層
- 104 結晶核
- 105 結晶粒
- 305 容量蓄積電極
- 106, 306 容量絶縁膜
- 107 多結晶シリコン膜
- 307 対向電極
- 309 フィールド酸化膜
- 310 ゲート電極
- 311d, 311s  $\text{N}^+$  型拡散層

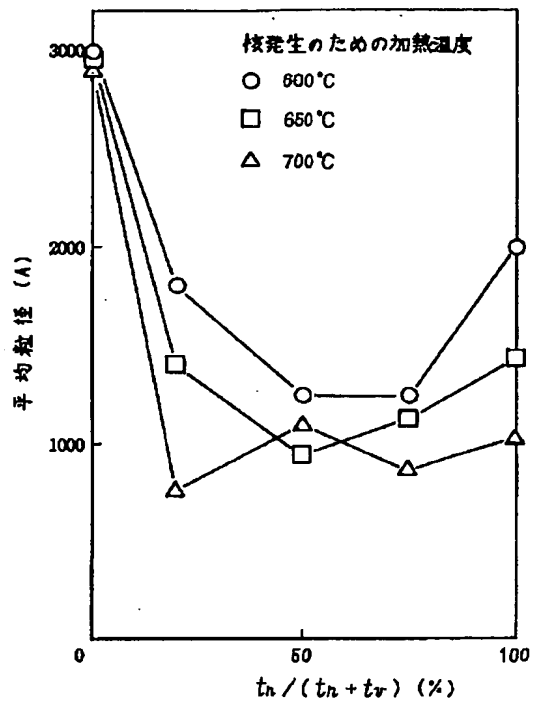
【図1】



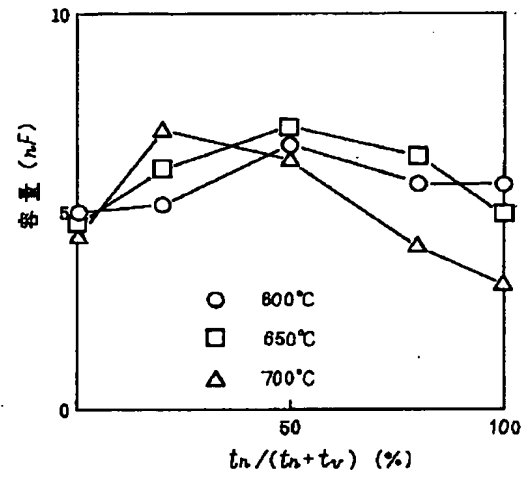
【図2】



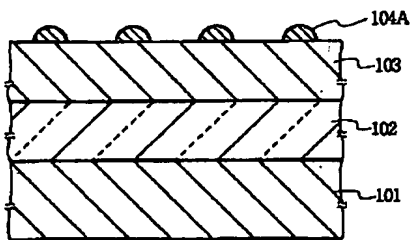
【図3】



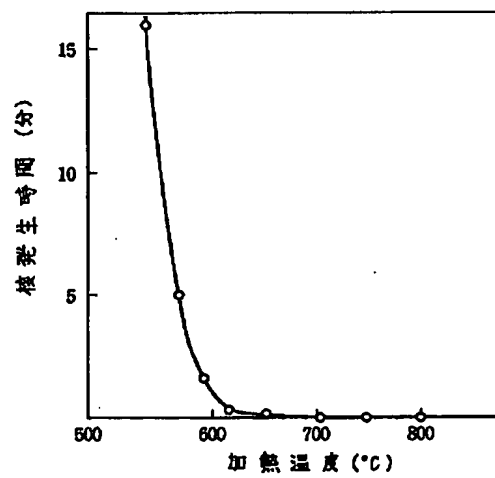
【図4】



【図5】

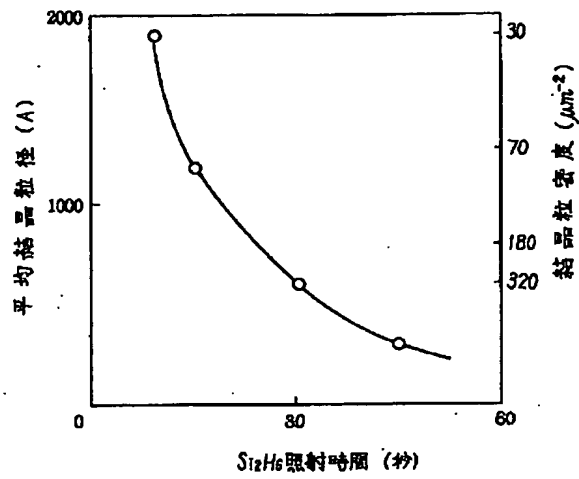


【図6】

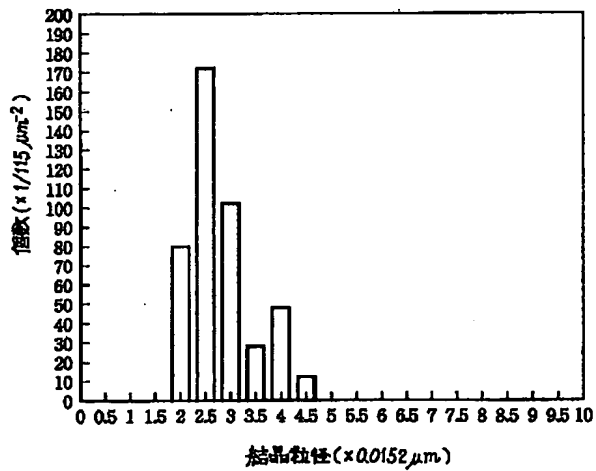




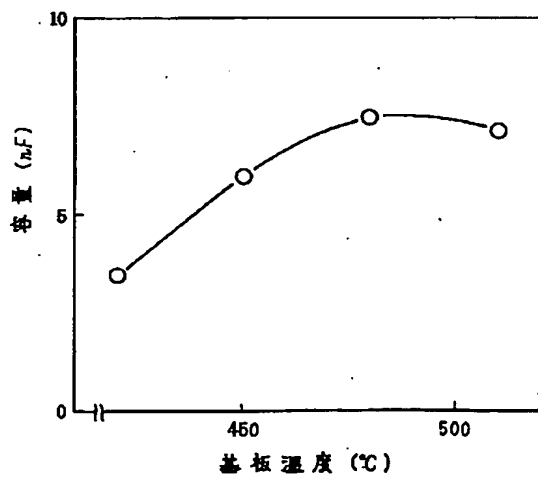
【図7】



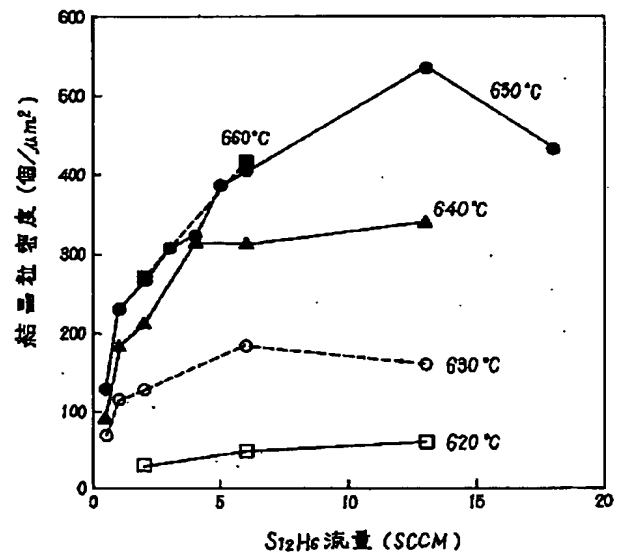
【図9】



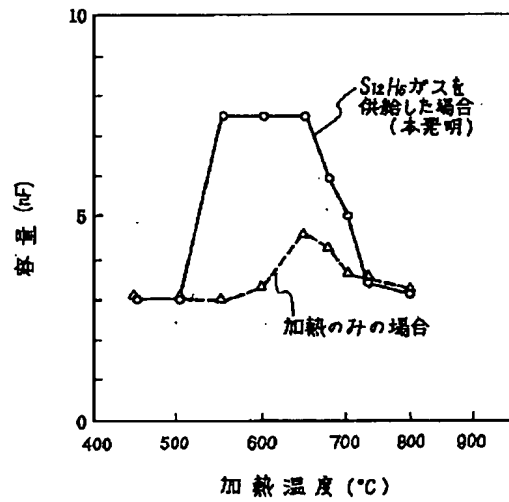
【図13】



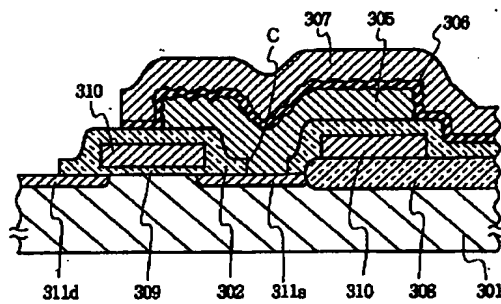
【図8】



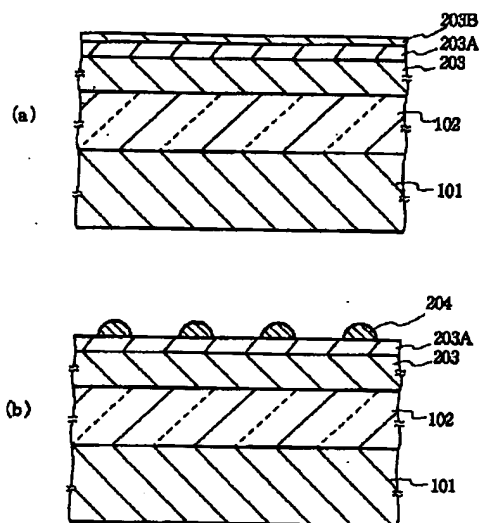
【図10】



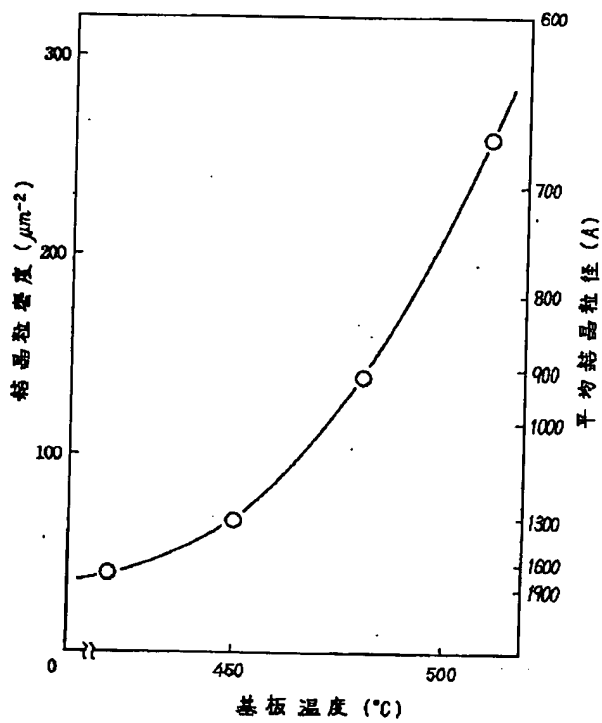
【図17】



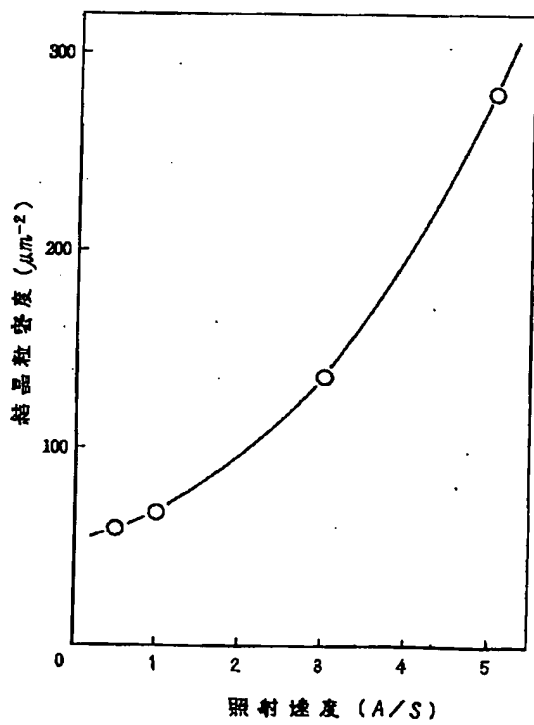
【図11】



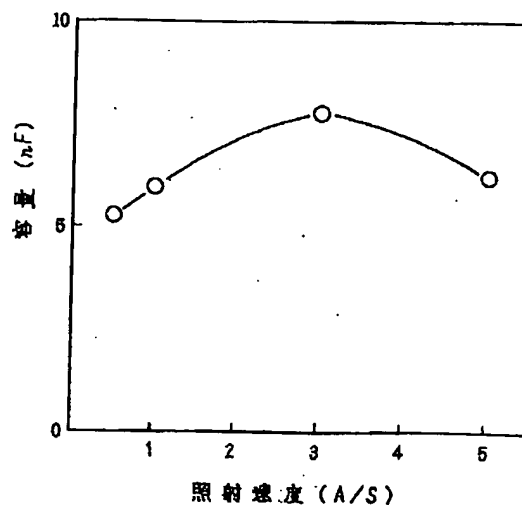
【図12】



【図14】



【図15】



【図16】

